

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02028853 A

(43) Date of publication of application: 30.01.80

(51) Int. Cl

**G06F 12/14**  
**G11C 29/00**  
**H01L 27/10**

(21) Application number: 63181021

(71) Applicant: NEC CORP

(22) Date of filing: 19.07.88

(72) Inventor: ARIGA MASANORI

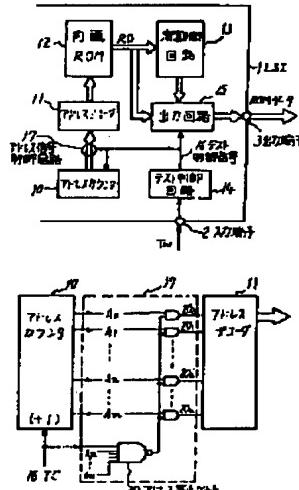
**(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

COPYRIGHT: (C)1990,JPO&Japio

**(57) Abstract:**

**PURPOSE:** To protect the secret of a software program by decoding an address area in a part of a ROM address space and prohibiting ROM data in the area to be read out of an LSI.

**CONSTITUTION:** When an LSI1 is in a test condition, a test signal TIN is inputted from an input terminal 2 and a test control signal 16 goes to an active condition '1' in a test control circuit 14. Further, in order to test the memory data of a building-in ROM 12, an address counter 10 successively obtains a count-up mode and ROM address  $A_0-A_m$  are counted up. The input of an output circuit 15 is switched from an arithmetic control circuit 16 to the building-in ROM 12. For a gate 21, the test signal 16 is in a test condition '1' and a part of ROM address area, which are selected by the ROM addresses  $A_n-A_m$ , is selected and goes to be '0'. Then, the ROM addresses  $A_0-A_m$  are prohibited to be inputted to an address decoder 11.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平2-28853

⑫ Int. Cl. 5

G 06 F 12/14  
G 11 C 29/00  
H 01 L 27/10

識別記号

3 2 0  
3 0 3  
4 9 1

庁内整理番号

7737-5B  
7737-5B  
8624-5F

⑬ 公開 平成2年(1990)1月30日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特 願 昭63-181021

⑯ 出 願 昭63(1988)7月19日

⑰ 発明者 有賀 正徳 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 内原 晋

明細書

発明の名称

半導体集積回路装置

特許請求の範囲

LSIを搭載した半導体基板に内蔵され少くともソフトウェアプログラムを記憶したプログラムメモリを有する内蔵メモリと、前記プログラムメモリのアドレスを発生するアドレス発生回路およびアドレスデコーダと、前記プログラムメモリの内容を外部に読み出す出力回路と、前記LSI外部から入力されるテスト信号により前記プログラムメモリのアドレスを制御するアドレス制御信号を出力するテスト制御回路と、このテスト制御回路のアドレス制御信号を前記アドレス発生回路のアドレスが所定アドレスとなつたとき前記アドレス制御信号をオフとし、または前記出力回路の出力をオフとするよう制御するアドレス制御回路とを備えることを特徴とする半導体集積回路装置。

発明の詳細な説明

(産業上の利用分野)

本発明は内蔵プログラムメモリの内容を保護する半導体集積回路に関する。

(従来の技術)

従来、同一基板上にプログラムメモリを内蔵して電卓、ゲーム等に用いられる1チップ1チップマイコンとして、第4図に示す構成のものがある。このLSI1'はアドレスカウンタ10'、アドレスデコーダ11'、内蔵ROM12'、演算制御回路13'、テスト制御回路14'および出力回路15'から構成される。この1チップマイコン1'は、内蔵するテスト制御回路14'により、LSIのテスト時にアドレスカウント10'がアドレスを順次カウントすることにより、ROMアドレスをアドレスデコーダ11'によりデコードし、プログラムを記憶した内蔵ROM12'の内容を容易に、読み出せる機能を備えている。

(発明が解決しようとする課題)

-1-

このような従来の回路構成では、実動作時に不要な ROM データの読み出しができる。この読み出し機能は、第三者としても ROM 1 2 上に記憶されているソフトウェアプログラムの内容を読み出す事を可能とし、そのソフトウェアの機密保護が困難であり、また LSI が汎用のものであれば、ソフトウェアを含む LSI のコピーが可能となってしまうという問題がある。

本発明の目的は、このような問題を解決し、ROM アドレス空間内の一一部のアドレス領域をコードし、その領域の ROM データの LSI 外への読み出しを禁止することにより、ソフトウェアプログラムの機密保護を可能とした半導体集積回路を提供することにある。

〔課題を解決するための手段〕

本発明の半導体集積回路装置の構成は、LSI を搭載した半導体基板に内蔵され少くともソフトウェアプログラムを記憶したプログラムメモリを有する内蔵メモリと、前記プログラムメモリのアドレスを発生するアドレス発生回路およびアドレ

-3-

スデコーダと、前記プログラムメモリの内容を外部に読み出す出力回路と、前記 LSI 外部から入力されるテスト信号により前記プログラムメモリのアドレスを制御するアドレス制御信号を出力するテスト制御回路と、このテスト制御回路のアドレス制御信号を前記アドレス発生回路のアドレスが所定アドレスとなったとき前記アドレス制御信号をオフとし、または前記出力回路の出力をオフとするよう制御するアドレス制御回路との備えることを特徴とする。

〔実施例〕

次に本発明の実施例について図面を用いて説明する。

第 1 図は本発明の一実施例のブロック図である。本実施例は、LSI のテスト時特定アドレスのデコードを禁止することによりプログラムメモリの読み出しを禁止するもので LSI 1 に内蔵されている。本実施例は、少なくともプログラムメモリを含む内蔵メモリ 1 2 と、演算制御回路 1 3 と、この内蔵メモリ 1 2 のアドレスを選択するア

-4-

ドレスデコーダ 1 1 と、そのアドレスをカウントして出力するアドレスカウンタ 1 0 と、LSI 外部から入力されるテスト信号 T<sub>16</sub> によりアドレスカウンタ 1 0 及びアドレス信号を制御するゲートからなるアドレス信号制御回路 1 7 と、内蔵メモリ 1 2 の内容を LSI 1 外部に出力する出力回路 1 5 と、この出力回路 1 5 を制御するテスト制御信号 1 6 を発生するテスト制御回路 1 4 とにより構成されている。

第 2 図は第 1 図のアドレス信号制御回路 1 7 を示す回路図である。アドレスカウンタ 1 0 のアドレス信号出力 A<sub>0</sub> ~ A<sub>n</sub> の内、任意の一部のアドレス信号 A<sub>0</sub> ~ A<sub>m</sub> とテスト信号 (TC) 1 6 を入力とする NAND ゲートのアドレス禁止ゲート 2 1 と、このゲート 2 1 の出力信号とアドレス信号 A<sub>0</sub> ~ A<sub>m</sub> の各々を入力とする AND ゲート 2 0<sub>0</sub> ~ 2 0<sub>n</sub> とからなり、これらゲート 2 0<sub>0</sub> ~ 2 0<sub>n</sub> の出力はアドレスデコーダ 1 1 に供給される。

次に、第 1 図、第 2 図を用い本実施例の動作を

-5-

説明する。

LSI 1 がテスト状態の場合、テスト信号 T<sub>16</sub> が入力端子 2 から入力され、テスト制御回路 1 4 が動作状態となり、このテスト制御回路 1 4 でテスト制御信号 1 6 がアクティブ状態「1」となる。テスト信号 1 6 はアドレスカウンタ 1 0 、出力回路 1 5 、アドレス制御回路 1 7 にも入力され、内蔵 ROM 1 2 のメモリデータをテストするためアドレスカウンタ 1 0 を順次カウントアップするモードとし、ROM アドレス A<sub>0</sub> ~ A<sub>n</sub> は順次カウントアップされる。それと同時に、内蔵 ROM 1 2 のメモリデータを出力端子 3 から出力するように、出力回路 1 5 の入力を演算制御回路 1 3 から内蔵 ROM 1 2 の出力へと切換える。

一方、ゲート 2 1 はテスト信号 1 6 がテスト状態「1」で、ROM アドレス A<sub>0</sub> ~ A<sub>m</sub> で選ばれる ROM アドレス領域の一部が選択されると「0」となり、ゲート 2 0<sub>0</sub> ~ 2 0<sub>n</sub> により ROM アドレス A<sub>0</sub> ~ A<sub>m</sub> がアドレスデコーダ 1 1 へ入力される事を禁止する。このため ROM

-6-

アドレス  $A_0 \sim A_n$  で選ばれるアドレス領域はアドレスデコーダ 11 でデコードされずに内蔵 ROM 12 のデータは LSI 1 の外部には出力されない事になる。

本実施例は、アドレスデコーダの入力を制御する事により、内蔵 ROM 12 プログラムメモリデータの LSI 1 外部への読み出しを禁止したものであるが、他の実施例として第 3 図に示す様に、テスト時 ROM の一部のアドレス領域を選択するゲート 7' の出力を用いて出力回路 15 を禁止するよう制御する事によっても、同様にメモリデータの LSI 1 外部への読み出しを禁止する事が出来る。  
〔発明の効果〕

以上説明したように本発明は、テスト時にプログラムメモリの内容を外部に読み出し可能となっている電卓、ゲーム用等の 1 チップマイクロコンピュータにおいて、同一基板内に内蔵するプログラムメモリのアドレス空間の一部アドレス領域についてのメモリ内容の外部読み出しを禁止する事によって、第三者によるソフトウェアのコピーなどか

らソフトウェアプログラムの保護を可能とするといい効果がある。

#### 図面の簡単な説明

第 1 図は本発明の一実施例の LSI のブロック図、第 2 図は第 1 図のアドレス制御回路の一例の回路図、第 3 図は本発明の第 2 の実施例のブロック図、第 4 図は従来の半導体集積回路の一例のブロック図である。

1 … LSI、2 … テスト信号  $T_{IN}$  入力端子、  
3 … ROM データ出力端子、10 … アドレスカウンタ、11 … アドレスデコーダ、12 … 内蔵 ROM、13 … 演算制御回路、14 … テスト制御回路、15 … 出力回路、16 … テスト制御信号、  
17, 17' … アドレス信号制御回路、20 … AND ゲート、21 … アドレス禁止ゲート、 $A_0 \sim A_n \sim A_m$  … アドレスカウンタ出力信号。

代理人 弁理士 内原晋

-8-

